

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-267513

(43)Date of publication of application : 28.09.2001

(51)Int.Cl.

H01L 27/10

(21)Application number : 2000-078772

(71)Applicant : NEC CORP

(22)Date of filing : 21.03.2000

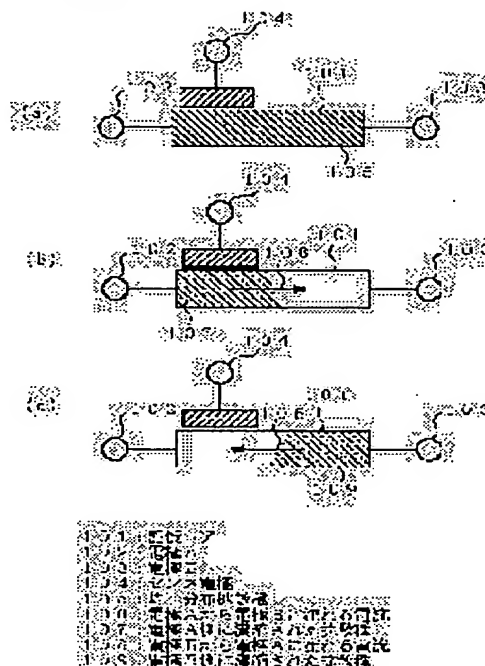
(72)Inventor : TANIGAWA AKIO

## (54) ELECTRONIC ELEMENT AND RECORDING METHOD BY USING THE SAME

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a novel electronic element which realizes low cost and large capacity storage.

**SOLUTION:** An electronic element (storage element) is constituted of a conductive alloy storage core 101, which comprises two or more kinds of element provided on an insulating substrate, an electrode A102 and an electrode B103 jointed directly to both ends thereof, a storage core 101, which generates electromigration by making a current flow and consists of a substance, at least a partial configuration or a partial element composition ratio thereof varies and a sense electrode 104 which is provided to a position near the electrode 102A set apart by an insulating thin film. Write of recording is possible, by forming the state of high concentration of diffusion species in the electrode A102 or the electrode B103 by making a current flow, and read of record is possible, by employing method for detecting movement of charge from the sense electrode 104 which accompanies the movement of diffusion species.



## LEGAL STATUS

[Date of request for examination]

15.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-267513

(P2001-267513A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl.

H 0 1 L 27/10

識別記号

4 5 1

F I

H 0 1 L 27/10

テーマコード(参考)

4 5 1 5 F 0 8 3

審査請求 有 請求項の数17 O L (全 15 頁)

(21) 出願番号 特願2000-78772(P2000-78772)

(22) 出願日 平成12年3月21日(2000.3.21)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 谷川 明男

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5F083 FZ10 GA01 GA09 JA33 LA04

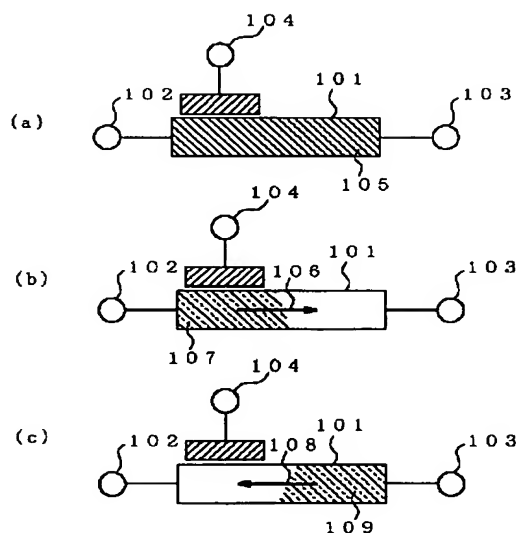
LA05 LA10 LA12 LA16

(54) 【発明の名称】 電子素子およびそれを用いた記録方法

(57) 【要約】

【課題】低コスト化かつ大容量記憶が可能な新規な電子素子を提供する。

【解決手段】絶縁性基板上に設けられた2種以上の元素を含む電導性合金の記憶コア101と、その両端に直接接合された電極A102および電極B103と、電流を流すことによりエレクトロマイグレーションを生じ、その少なくとも一部の形状あるいはその少なくとも一部の元素組成比が変化する物質からなる記憶コア101と、電極A102に近い位置に絶縁性薄膜によって隔てられて設けられたセンス電極104によって電子素子(記憶素子)を構成した。電流を流して電極A102または電極B103に拡散種の濃度が高い状態を形成することで、記録の書き込みができ、また、拡散種の移動にともなうセンス電極104からの電荷の移動を検出する方法を用いることにより記録の読み出しができる。



101: 記憶コア  
102: 電極A  
103: 電極B  
104: センス電極  
105: 均一分布拡散種  
106: 電極Aから電極Bに流れる電流  
107: 電極A側に濃縮された拡散種  
108: 電極Bから電極Aに流れる電流  
109: 電極B側に濃縮された拡散種

## 【特許請求の範囲】

【請求項 1】 電流を流すことによりエレクトロマイグレーションを生じ、その少なくとも一部の形状あるいはその少なくとも一部の元素組成比が変化する物質を記憶コアとして用いたことを特徴する電子素子。

【請求項 2】 前記記憶コアが 2 種以上の元素を含む電導性合金から構成される請求項 1 記載の電子素子。

【請求項 3】 前記電導性合金として In-Au 合金、Sn-Ni 合金または Au-Si 合金を使用した請求項 2 記載の電子素子。

【請求項 4】 前記記憶コアがカーボンナノチューブの中空芯に金属原子を部分的に挿入した構成からなる請求項 1 記載の電子素子。

【請求項 5】 前記記憶コアに電流を流す第 1 の電極と、前記記憶コアの表面電位を感知する第 2 の電極或いは前記記憶コアの電気抵抗あるいは接合抵抗を感知する第 3 の電極を備えたことを特徴とする請求項 1 記載の電子素子。

【請求項 6】 前記第 2 の電極が前記記憶コアと絶縁されている請求項 5 記載の電子素子。

【請求項 7】 前記第 3 の電極が前記記憶コアと直接接合されている請求項 5 記載の電子素子。

【請求項 8】 請求項 1～7 のいずれかに記載の電子素子が同一基板上に複数個配置されている集積電子素子。

【請求項 9】 請求項 5～7 記載のいずれかに記載の電子素子が同一基板上に縦横に配置され、前記第 1 の電極あるいは前記第 2 の電極あるいは前記第 3 の電極に接続されたビット線とワード線を有し、該ビット線と該ワード線とを選択することでアクセスする前記電子素子とを特定することができる集積電子素子。

【請求項 10】 前記基板上に前記ビット線と前記ワード線とを選択するためのデコーダ回路が配置されている請求項 9 記載の集積電子素子。

【請求項 11】 前記基板上に前記記憶コアの表面電位を検知するセンスアンプ回路が配置されている請求項 8～10 のいずれかに記載の集積電子素子。

【請求項 12】 電流を流すことで前記記憶コアにエレクトロマイグレーションによる形状あるいは組成を変化させ、記録を書き込むことを特徴とする請求項 5 記載の電子素子を用いた記録の書き込み方法。

【請求項 13】 電流を流すことにより前記記憶コアにエレクトロマイグレーションによる形状あるいは組成を変化させ、前記第 2 の電極に生じる電荷の移動量を検出することによって、前記記憶コアの記録の読み出しを行うことを特徴とする請求項 6 記載の電子素子を用いた記録の読み出し方法。

【請求項 14】 電流を流すことにより前記物質にエレクトロマイグレーションによる形状あるいは組成を変化させ、前記第 3 の電極と前記記憶コア間の接合抵抗または電気抵抗の変化を検出し、前記記憶コアの記録の読み

出しを行うことを特徴とする請求項 7 記載の電子素子を用いた記録の読み出し方法。

【請求項 15】 電流を流すことにより前記記憶コアにエレクトロマイグレーションによる形状を変化させ、前記第 2 の電極と前記記憶コア間の電気容量の変化を検出し、前記記憶コアの記録の読み出しを行うことを特徴とする請求項 6 記載の電子素子を用いた記録の読み出し方法。

【請求項 16】 記録を書き込む際に前記記憶コアの少なくとも一部の温度を上昇させることを特徴とする請求項 5 記載の電子素子を用いた記録の書き込み方法。

【請求項 17】 前記記憶コアに流れる電流密度あるいは抵抗値が途中で変化するよう、断面積を途中で変化させるか途中に拡散係数の小さい元素を添加した前記記憶コアから構成される請求項 1 記載の電子素子。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子素子ならびにこれを用いた記録方法に関し、特に電流を流すことによりエレクトロマイグレーションを生じ、その少なくとも一部の形状あるいは少なくともその一部の元素組成比が変化する物質を記憶コアとして用いる電子素子および該素子を用いた記録方法に関するものである。

【0002】

【従来の技術】従来、電源を切断しても記録内容が保持される書き込みが可能なタイプの記憶装置として、ハードディスク、フロッピディスク、光磁気ディスク等の磁気記録装置、及び、フラッシュメモリー（フローティングゲートトランジスタ）、強誘電体 RAM といった半導体メモリが用いられてきた。また、現在広く実用に供されていないものの、特開平 6-28841 号公報に記載されたような電解質の電気化学反応を利用した記憶装置も考案されている。

【0003】

【発明が解決しようとする課題】磁気記録装置は、大記憶容量が実現されているものの、回転などの機械的可動部分が必要であり、読み書きのためにも精密部品による高精度の機構が必要であり、このため衝撃に弱く、かつ装置全体のコンパクト化に限界がある。

【0004】半導体メモリは、コンパクトで読み書きは非常に早い、製造工程が複雑でコストが高いため、磁気記録装置並みの大記憶容量は広く実用に供されていない。

【0005】電解質の電気化学反応を利用した記憶装置は、読み書きが遅く、素子の長期耐久性に難がある。

【0006】本発明の目的は、磁気記録装置以上の大記憶容量と読み書き速度とを有し、製造コストが安く、半導体メモリ並みにコンパクトである電子素子とそれを用いた記録方法を提供することである。

【0007】

## 3

【課題を解決するための手段】本発明の電子素子は、電流を流すことによりエレクトロマイグレーションを生じ、その少なくとも一部の形状あるいはその少なくとも一部の元素組成比が変化する物質を記憶コアとして用いたことを特徴する。

【0008】前記記憶コアとしては、2種以上の元素を含む電導性合金、例えばIn—Au合金、Sn—Ni合金またはAu—Si合金等が使用できる。また、上記の本発明の記憶コアとしては、カーボンナノチューブの中

空芯に金属原子を部分的に挿入したものも使用できる。【0009】上記の本発明の電子素子においては、前記記憶コアに電流を流す第1の電極と、前記記憶コアの表面電位を感知する第2の電極或いは前記記憶コアの電気抵抗あるいは接合抵抗を感知する第3の電極を備えた構成とすることができる。前記第2の電極は前記記憶コアと絶縁され、また、前記第3の電極は前記記憶コアと直接接合される。

【0010】本発明では、前記第1～第3の電極を備えた電子素子を同一基板上に縦横に配置して、前記第1の電極あるいは前記第2の電極あるいは前記第3の電極にビット線とワード線を接続した集積電子素子を構成することができ、該ビット線と該ワード線とを選択して特定の電子素子にアクセスすることができる。前記ビット線と前記ワード線の選択はデコード回路により行うことができる。

【0011】前記記憶コアの表面電位はセンスアンプ回路により測定することができる。

【0012】本発明の電子素子を使用した記録の書き込みは、電流を流して、前記記憶コアにエレクトロマイグレーションによる形状あるいは組成変化を生じさせることで行うことができる。

【0013】本発明の電子素子を使用した記録の読み出しは、電流を流すことにより前記記憶コアにエレクトロマイグレーションによる形状あるいは組成を変化させ、前記第2の電極に生じる電荷の移動量を検出する方法、前記第3の電極と前記記憶コア間の接合抵抗または電気抵抗の変化を検出する方法または前記第2の電極と前記記憶コア間の電気容量の変化を検出する方法を使用して行うことができる。

【0014】本発明で活用する第一の原理は、LSIのアルミニウム配線の故障原因として知られるエレクトロマイグレーションである。よく知られているアルミニウム配線のエレクトロマイグレーションは、長時間、極めて大きい電流密度を加えてはじめて観測できる現象である。アルミニウムの自己拡散係数は小さいが、断面積が極めて小さい( $10^{-12}$ 平方メートル以下)微細な配線を時に数メートル長以上に一つのチップに張り巡らすLSIの長期安定性を阻害する原因がこのエレクトロマイグレーションである。すなわち、長期にわたってLSIを使用すると配線の一部に断線が生じる現象で、この原

## 4

因は長期間、高密度の電流を流すことによって配線を構成する元素が移動して、局所的にボイドや断線を生じることで起こる点からエレクトロマイグレーションと呼ばれる。従ってエレクトロマイグレーションはLSIの故障原因として研究されており、これらの研究からエレクトロマイグレーションによる原子移動速度は、電流密度と拡散係数と原子価数とに比例することが知られている。

【0015】本発明にあつてはエレクトロマイグレーションを生ずべき電導体の材質(構成元素)を特にこだわるものではないが、従来技術で述べた記憶装置に対抗できる短時間で読み書き可能な記憶素子に応用するにはアルミニウムをそのまま用いることはできない。すなわち、原子移動速度の速い材質を模索する(拡散係数が十分に大きい元素を用いる)必要があり、上記のIn—Au(Auが拡散種)、Sn—Ni(Niが拡散種)等の合金が使用される。それらの拡散種は室温でのアルミニウムの自己拡散係数の $10^{10}$ 倍もの拡散係数を有している。

【0016】すなわち、こうした物質を記憶コアとし、この記憶コアの両端に設けた電極によって通電することで、拡散種を記憶コアの一端に移動させたり濃縮したりすることにより、記録を書き込んだり、また極性を逆にして通電することで元素の移動や濃縮を元の状態に戻すことで記録を消去できるようにしたことが本発明の第一の動作原理である。なお、元素の移動や濃縮が起こった状態を記録の消去状態とし、前記移動や濃縮が解かれた状態を記録の書き込み状態とすることも可能なことは言うまでもない。

【0017】エレクトロマイグレーションの利用形態として、合金組成に偏りを作る以外に、記憶コア全体を一方方向に偏らせて反対側にボイドを形成することでも、記録を書き込むことができる。また、両端に通電用電極を設けたカーボンナノチューブの中空芯に金属原子を部分的に挿入した構造も、記憶コアとして利用できる。この場合、挿入金属原子の位置を偏らせることによって、記録を書き込むことができる。

【0018】記録の保持に重点を置くと、記憶コアには常温で拡散係数の比較的小さい材料を選定する必要がある。このような際に十分な書き込み速度を得るには、書き込み時だけ記憶コアの温度を上げることで対応できる。昇温するだけに留まらず、少なくとも記憶コアの一部を融解させると極めて高速の書き込み速度が得られる。こうした記憶コアの昇温は、別途ヒーターを取り付ける必要はなく、書き込み時に記憶コアに流す電流のジュール熱によって行うことができる。

【0019】上記のジュール熱による記憶コアの昇温にはそれなりの素子設計が必要であるが、その際に有用な記憶コアの構造は、昇温させたい部分の断面積を減少させた構造やその部分に拡散しない元素を添加して抵抗値

を増大させた構造である。

【0020】本発明に用いる第二の原理は、記録の読み出し方法にある。合金組成の偏りを検出する方法の一つとして、導体の表面電位（あるいは仕事関数）を検知する方法がある。導体の表面電位はその導体の組成によって異なり、単体では図13に示すような値（図13の $\phi$ （eV）1301）が知られており、合金では構成元素の中間の値になると考えられる。

【0021】表面電位を測定する方法としてはさまざまなものがあるが、その一つについて図14を参照して説明する。図14（a）に示すような、表面電位（ $\phi_1$ 1402と $\phi_2$ 1404）の異なる導体を、図14（b）に示すように、比誘電率 $\epsilon$ の薄い絶縁層で距離 $d$ 隔てて近接させると、表面電位差の作用で各々の導体の表面電荷密度が $\pm \epsilon (\phi_2 - \phi_1) / d$ だけ変化する。本発明の場合、記憶コアに使用した物質の合金組成が変化すると、表面電位の片方（表式中の $\phi_1$ 又は $\phi_2$ ）が変化し、それに応じて電荷の移動が生じる。この電荷の移動を検知することで記録の読み出しができる。図14の符号1401は導体1のフェルミレベル、1402は導体1の表面電位、1403は導体2のフェルミレベル、1404は導体2の表面電位、1405は真空を基準にした電位座標軸、1406は導体1と導体2が近接の結果増加した電荷、1407は導体1と導体2が近接の結果減少した電荷を表している。

【0022】図15（a）に示すような合金製の記憶コア1501と、その通電用電極の電極A（符号1502）と電極B（符号1503）の一方に偏った位置に、薄い絶縁膜で隔てられたセンス電極1504を設ける。今仮に、センス電極1504側に拡散種が濃縮された状態を“1”が記録された状態、そうでない状態を“0”が記録された状態とする。図中符号1505は濃縮された拡散種を示す。図15（b）に示すように、記憶コア1501の両端の電極A（符号1502）と電極B（符号1503）の間に“0”を記録する時に流す方向に電流（符号1508は電極Bから電極Aに流れる電流を示す）を流す。その時、記憶コア1501が“1”記録状態であれば、濃縮された拡散種1505の移動（符号1509は濃縮された拡散種の移動を示す）に伴う表面電位の変化が起こるので、センス電極1504の電荷1507が移動する。図15（c）に示すように、記憶コア1501が“0”記録状態であれば、図15（d）に示すように、表面電位はほとんど変化しないので、センス電極1504の電荷1507の出入りがほとんど無い。電荷1507の移動を電流（電流計1506使用）または電圧として検知し、“1”記憶状態であったと判った時だけ、“1”記憶状態に戻すように電流を流す。以上のようにすれば、記録の読み出しを、記録を保持しながら行える。

【0023】ボイドを形成するタイプの記憶コアを使用

する場合は、記憶コアの通電用電極の一方に偏った位置に、薄い絶縁膜で隔てられたセンス電極を設け、センス電極と記憶コアの間の電気容量の変化を検出することでボイドの有無を知ることができる。

【0024】図16（a）に示すように、記憶コア1601のセンス電極1604を設けた側（電極A1602側）にボイドが無い状態では、センス電極と記憶コアの間の容量は、図16（b）に示すようなボイド1606が電極A側にある状態と比較して大きい。容量変化の検出は、センス電極1604と記憶コア1601の間に電圧をかけて、その際に出入りする電荷の量の比較によって可能である。なお、図16中の符号1605は電極B（符号1603）側に発生したボイドを、符号1606は電極A（符号1602）側に発生したボイドを示す。

【0025】記憶コアの合金組成の偏りは、接合抵抗や電気抵抗の変化としても検出できる。図17に示すように、接合抵抗が大きく変化するように、高濃度ドーパされた半導体製のセンス電極1704を記憶コア1701の通電用の電極A1702に偏った位置に直接接合する。センス電極1704の接合抵抗は、記憶コア1701中の拡散種（電極A側に濃縮された拡散種1705または電極B1703側に濃縮された拡散種1706）の濃度変化にともなうショットキー障壁高さの変化によって大きく変化することになる。この接合抵抗の変化を検出すれば、記憶コア1701の記録状態を読み出すことができる。

【0026】多くの場合、単体に比較して合金の方が抵抗は大きい。図18（a）に示すように、拡散種（電極A側に濃縮された拡散種1805または電極B1803側に濃縮された拡散種1806）が濃縮された側は、反対側より抵抗が小さいので、記憶コア1801の中間に電気的に接合されたセンス電極1804を設けて、通電用の電極A1802との間の記憶コア1801の抵抗値を比較すれば、合金組成の偏りが検出できる。

【0027】また、図19に示すように、センス電極1904を記憶コア1901の通電用の電極A1902に偏った位置に直接接合し、ボイド（電極A側に発生したボイド1905または電極B1903側に発生したボイド1906）によるセンス電極1904と記憶コア1901間の切断もしくは抵抗増加を検出する方法も可能である。

【0028】以上の構造と動作原理を基本として、電極数を増やすなどの応用構造や二種以上の読み出し方法を併用するなどの応用動作が多数存在する。

【0029】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0030】図1は本発明の電子素子の第1の実施の形態を説明するための素子要部の断面図である。図1

（a）を参照すると、本発明の電子素子は、絶縁性基板

(表示していない)上に設けられた2種以上の元素を含む電導性合金の記憶コア101と、その両端に直接接合された電極A102および電極B103と、記憶コア101の電極A102に近い位置に絶縁性薄膜(表示していない)によって隔てられて設けられたセンス電極104によって構成されている。素子の形成直後、記憶コア101中の拡散種原子は場所による片寄りのない均一な分布を示す。なお、図中、符号105は均一分布拡散種を表す。

【0031】図1(a)の電子素子を用いて記録を書き込む方法について、図1(b), 図1(c)を参照して説明する。図1(b)に示すように、電極A102から電極B103に電流(電極Aから電極Bに流れる電流106参照)を流すと一定時間後、記憶コア101中の拡散種は、エレクトロマイグレーション効果によって電極A102に集まり、センス電極104近傍の拡散種の濃度が高い状態(電極A側に濃縮された拡散種107参照)になる。逆に、図1(c)に示すように、電極B103から電極A102に電流(電極Bから電極Aに流れる電流108参照)を流すと一定時間後、記憶コア101中の拡散種は電極B103に集まり、センス電極104近傍の拡散種の濃度が低い状態(電極B側に濃縮された拡散種109参照)になる。以上によって、記録を書き込むことができる。

【0032】記憶コア101の記録書き込み状態の検出には、拡散種の移動にともなうセンス電極からの電荷の移動を検出する方法を用いることができる。例えば、図1(b)に示すように、電極A102から電極B103に電流(符号106)を流す。この時、記憶コア101がセンス電極104近傍の拡散種の濃度が高い状態である場合、センス電極104からの電荷の移動はほとんどない。逆に、図1(c)に示すように、センス電極104近傍の拡散種の濃度が低い状態である場合、センス電極104からの電荷の移動がある。この差異によって記憶コア101の状態を判別することができる。なお、電荷の移動が検出された場合、検出のために流した電流と逆方向に電流を流し、記憶コア101の状態を戻す必要がある。なお、図1の符号105は、均一分布拡散種を示す。

【0033】次に、本発明の電子素子の第2の実施の形態について図2の素子要部の断面図面を参照して詳細に説明する。

【0034】図2(a)を参照すると、本発明の電子素子は、絶縁性基板(表示していない)上に設けられた2種以上の元素を含む電導性合金の記憶コア(図中、形成直後の2成分が層状に形成された記憶コア201で示す)と、その両端に直接接合された電極A202と電極B203と記憶コアの電極A202に近い位置に絶縁性薄膜によって隔てられて設けられたセンス電極204によって構成されている。形成直後の記憶コアは二種以上

の層状に形成され、記憶コアが絶縁層(表示していない)で覆われた後、熱処理やエレクトロマイグレーションによって混合される。

【0035】形成直後の2成分が層状に形成された記憶コア201の体積が減少し、図2(b, c)に示すように、ボイド(電極A側に発生したボイド207または電極B側に発生したボイド209参照)が生成するようにする。なお、ボイドがセンス電極204側に発生するようにするために、記憶コアの側面と上面を覆う絶縁材料は、記憶コアとの界面エネルギーが下地の基板に比較して大きい材料を使用する。

【0036】図2の構成の電子素子を用いた記録の読み出し方法を説明する。この方法は、ボイドの有無によるセンス電極204と記憶コアの間の電気容量の変化より記録の読み出しを行う方法である。すなわち、図2

(b)に示すように、センス電極204側にボイド(符号207参照)がある場合、センス電極204と記憶コア(均一混合により体積を減じた記憶コア205で示す)の間の電気容量は比較的小さい。逆に、図2(c)に示すように、センス電極204側にボイドがない場合、センス電極204と記憶コア(均一混合により体積を減じた記憶コア205で示す)の間の電気容量は比較的大きい。この差異によって、記録の読み出しを行う。なお、図2中、符号206は電極Aから電極Bに流れる電流、符号208は電極Bから電極Aに流れる電流を示す。また、図2の電子素子の記録の書き込み方法は、上記の第1の実施の形態と同様である。

【0037】次に、本発明の電子素子の第3の実施の形態について図3の素子要部の断面図面を参照して詳細に説明する。

【0038】図3(a)を参照すると、本発明の電子素子は、絶縁性基板上に設けられた2種以上の元素を含む電導性合金の記憶コア301と、その両端に直接接合された電極A302および電極B303と、記憶コア301の電極A302に近い位置に直接接合された高濃度ドープされた半導体製のセンス電極304によって構成される。素子の形成直後、記憶コア301中の拡散種原子は場所による片寄りのない均一な分布(均一分布拡散種305参照)を示す。

【0039】上記構成の電子素子の記録の読み出しは、センス電極の接合抵抗の変化を検出することにより行う。すなわち、図3(b)に示すように、センス電極304側にショットキー障壁高さが大きい拡散種が高濃度に存在(電極A側に濃縮された拡散種307参照)する場合、センス電極304と記憶コア301の間の接合抵抗は比較的大きい。逆に、図3(c)に示すように、センス電極304側にショットキー障壁高さが大きい拡散種が低濃度である場合(電極B側に濃縮された拡散種309が存在)、センス電極304と記憶コア301の間の接合抵抗は比較的小さい。この差異によって、記録の

読み出しを行う。なお、図 3 中、符号 306 は電極 A から電極 B に流れる電流、符号 308 は電極 B から電極 A に流れる電流を示す。また、図 3 の電子素子の記録の書き込み方法は、上記の第 1 の実施の形態と同様である。

【0040】次に、本発明の電子素子の第 4 の実施の形態について図 4 の素子要部の断面図面を参照して詳細に説明する。本実施の形態では、センス電極で通電用の電極を兼ね、二端子素子とした場合である。すなわち、図 4 (a) を参照すると、本発明の電子素子は、絶縁性基板上に設けられた 2 種以上の元素を含む電導性合金の記憶コア 401 と、その両端に直接接合されたセンス電極を兼ねた電極 A 402 と電極 B 403 によって構成される。電極 A は、高濃度ドーパされた半導体製である。素子の形成直後、記憶コア 401 中の拡散種原子は場所による片寄りのない均一な分布（均一分布拡散種 404 参照）を示す。

【0041】図 4 の電子素子の記録の読み出しは、センス電極の接合抵抗の変化を検出することにより行うことができる。すなわち、図 4 (b) に示すように、センス電極を兼ねた電極 A 402 側にショットキー障壁高さが大きい拡散種が高濃度に存在（電極 A 側に濃縮された拡散種 406 参照）する場合、センス電極を兼ねた電極 A 402 と記憶コア 401 の間の接合抵抗は比較的大きい。逆に、図 4 (c) に示すように、センス電極を兼ねた電極 A 402 側にショットキー障壁高さが大きい拡散種が低濃度である場合（電極 B 側に濃縮された拡散種 408 が存在）、電極 A 402 と記憶コア 401 の間の接合抵抗は比較的小さい。この差異によって、記録の読み出しを行う。なお、図 4 中、符号 405 は電極 A から電極 B に流れる電流、符号 407 は電極 B から電極 A に流れる電流を示す。

【0042】次に、本発明の電子素子の第 5 の実施の形態について図 5 の素子要部の断面図面を参照して詳細に説明する。

【0043】図 5 (a) を参照すると、本発明の電子素子は、絶縁性基板上に設けられた 2 種以上の元素を含む電導性合金の記憶コア（形成直後の 2 成分が層状に形成された記憶コア 501 で示す）と、その両端に直接接合された電極 A 502 と電極 B 503 と記憶コアの電極 A 502 に近い位置に直接接合されたセンス電極 504 によって構成される。形成直後の記憶コアは二種以上の層状に形成され、記憶コアが絶縁層で覆われた後、熱処理やエレクトロマイグレーションによって混合されて体積減少し（均一混合により体積を減じた記憶コア 505 参照）、図 5 (b, c) に示すように、ボイド（電極 A 側に発生したボイド 507 または電極 B 側に発生したボイド 509 参照）が生成するようにする。また、ボイドがセンス電極 504 側に発生するようにするために、センス電極 504 材料は、記憶コア 501 との界面エネルギーが下地の基板に比較して大きい材料を使用する。

【0044】図 5 の電子素子の記録の読み出しは、ボイドによるセンス電極と記憶コア間の切断もしくは抵抗増加を検出することにより行う方法である。すなわち、図 5 (b) に示すように、センス電極 504 側にボイドがある場合、センス電極 504 と記憶コア（均一混合により体積を減じた記憶コア 505）の間は電気的に切断される。逆に、図 5 (c) に示すように、センス電極 504 側にボイドがない場合、センス電極 504 と記憶コアの間は電気的に接続されている。この差異によって、記録の読み出しを行う。なお、図 5 中、符号 506 は電極 A から電極 B に流れる電流、符号 508 は電極 B から電極 A に流れる電流を示す。

【0045】次に、本発明の電子素子の第 6 の実施の形態について図 6 の素子要部の断面図面を参照して詳細に説明する。

【0046】図 6 (a) を参照すると、本発明の電子素子は、絶縁性基板上に設けられた 2 種以上の元素を含む電導性合金の記憶コア 601 と、その両端に直接接合された電極 A 602 および電極 B 603 と、記憶コア 601 の中点に直接接合されたセンス電極 604 とにより構成される。形成直後は、記憶コア中の拡散種原子は場所による片寄りのない均一な分布（均一分布拡散種 605 参照）を示す。

【0047】図 6 の電子素子の記録の読み出し方法は、センス電極と通電用の電極 A の間の記憶コアの抵抗変化を検出する方法である。すなわち、図 6 (b) に示すように、電極 A 602 側に拡散種が高濃度に存在（電極 A 側に濃縮された拡散種 607）する場合、センス電極 604 と電極 A 602 の間の電気抵抗は比較的大きい。また、図 6 (c) に示すように、電極 A 602 側に拡散種が低濃度である場合（電極 B 側に濃縮された拡散種 609 が存在）、センス電極 604 と電極 A 602 の間の電気抵抗は比較的小さい。この差異によって、記録の読み出しを行う。なお、図 6 中、符号 606 は電極 A から電極 B に流れる電流、符号 608 は電極 B から電極 A に流れる電流を示す。

【0048】以上の実施の形態は、無機・有機を問わず様々な材料・寸法で形成することができる。

【0049】次に、本発明の電子素子の第 7 の実施の形態について図 7 の素子要部の断面図面を参照して詳細に説明する。本実施の形態では、電子素子は、カーボンナノチューブ製記憶コアから構成される。図 7 のように、電子素子は、絶縁性基板上に設けられたカーボンナノチューブの中空芯に異種原子を部分的に挿入した記憶コア（カーボンナノチューブ製記憶コア 701 参照）と、その両端に直接接合された電極 A 702 と電極 B 703 と記憶コア 701 の中点に直接接合されたセンス電極 704 によって構成される。なお、図中符号 705 は挿入原子を表す。

【0050】上記カーボンナノチューブ製記憶コア 70



1を使用した電子素子の読み出し方法は上記の第6の実施の形態と同様であるが、電気抵抗値の大小が逆になる場合がある。すなわち、図7(b)に示すように、電極A702側に挿入した異種金属原子(電極A側に集合した挿入原子707)が存在する場合、センス電極704と電極A702の間の電気抵抗は比較的小さく、図7

(c)に示すように、電極A702側に挿入原子がない場合(電極B側に集合した挿入原子709が存在)、センス電極704と電極A702の間の電気抵抗は比較的大きい。なお、図7中、符号706は電極Aから電極Bに流れる電流、符号708は電極Bから電極Aに流れる電流を示す。

【0051】なお、拡散種を移動させる場合もボイドを形成させる場合も、素子を表面から見たとき、記憶コアの光学的な反射特性が変化する。このことを利用して、素子の動作状況を検査したり、光学的インターフェースへの情報伝達が可能である。

【0052】また、より高速な動作と記録の長期保存が要求される場合、記憶コアには常温で拡散係数の比較的小さい材料を選定するとともに、書き込み時だけ記憶コアの温度を上げることで対応できる。昇温するだけに留まらず、少なくとも記憶コアの一部を融解させると極めて高速の書き込み速度が得られる。こうした記憶コアの昇温は、書き込み時に記憶コアに流す電流のジュール熱によって行うことで、特定の記憶コアの温度だけ上昇させることができる。

【0053】図8(この図ではセンス電極を省略してある)を参照して説明すると、書き込みのために電極A802と電極B803の間に記憶コア801の断面積の小さい部分804を融解するのに十分な電流を流す。こうして、書き込み時だけ記憶コアの所望の領域だけを昇温・融解して、高速書き込みと記録の長期保持とを両立させることができる。

【0054】半永久的に記録を保存したい場合、室温で熱拡散がほとんど生じない材料を用いる(動作時、必要に応じて加熱する)以外に、素子を冷却して熱拡散による記録の劣化を止めることも可能である。さらに、素子を一定温度一定時間以上保つことで、記録を一括消去することもできる。

【0055】さらに、センス電極を複数化して多値記録素子を形成したり、容易に積層化できる素子の構造上の性質を利用して多層化素子を形成したりすることで、半導体素子の集積限界を大幅に越えた超高密度記憶素子の製作も可能である。

【0056】(実施例)本発明の請求項6, 8, 9に係わる一実施例を図面を参照して説明する。

【0057】まず、図9に示すように、ポリカーボネート製の絶縁性基板901上に、スパッタ法とフォトリソグラフィ工程によって、チタン製のセンス電極902を形成する。

【0058】続いて、プラズマCVD法によって、SiO<sub>2</sub>膜からなる保護絶縁膜910を成長し、さらに、スパッタ法とフォトリソグラフィ工程によって、錫-ニッケル合金(Sn 75 at%, Ni 25 at%)の記憶コア905を形成する。

【0059】次に、プラズマCVD法によって、SiO<sub>2</sub>膜からなる保護絶縁膜910を成長し、フォトリソグラフィ工程によって、接続線903と電極A906のための穴を開け、スパッタ法とエッチング工程によって、チタン製の接続線903と電極A906を形成する。

【0060】次に、スパッタ法とフォトリソグラフィ工程によって、Cu製のセンスビット線904と書き込みビット線907を形成する。さらに、プラズマCVD法によって、SiO<sub>2</sub>膜からなる保護絶縁膜910を成長し、フォトリソグラフィ工程によって、電極B908のための穴を開け、スパッタ法とエッチング工程によって、チタン製の電極B908を形成し、続いて、スパッタ法とフォトリソグラフィ工程によって、Cu製のワード線909を形成する。最後に、プラズマCVD法によって、SiO<sub>2</sub>膜からなる保護絶縁膜910で全面を覆う。

【0061】次に、本発明の請求項7, 8, 9の一実施例を図面を参照して説明する。

【0062】まず、図10に示すように、ポリカーボネート製の絶縁性基板1001上に、スパッタ法とフォトリソグラフィ工程によって、PドーパモルファスSi製のセンス電極を兼ねた電極A1002を形成する。

【0063】続いて、スパッタ法とフォトリソグラフィ工程によって、錫-ニッケル合金(Sn 75 at%, Ni 25 at%)の記憶コア1003を形成し、さらに、プラズマCVD法によって、SiO<sub>2</sub>膜からなる保護絶縁膜1004を成長し、フォトリソグラフィ工程によって、電極A1002と接続するビット線1006のための穴を開け、スパッタ法とエッチング工程によって、銅(Cu)製のビット線1006を形成する。

【0064】次に、再び、プラズマCVD法によって、SiO<sub>2</sub>膜からなる保護絶縁膜1004を成長し、フォトリソグラフィ工程によって、電極B1005のための穴を開け、スパッタ法とエッチング工程によって、Cu製の電極Bとワード線1007を一体形成する。最後に、プラズマCVD法によって、SiO<sub>2</sub>膜からなる保護絶縁膜1004で全面を覆う。

【0065】上記で用いた各部の材料や工程は、その機能を果たすものであれば、任意に変更してもかまわない。例えば、絶縁性基板901, 1001として表面にSiN膜を有する単結晶Siを用いたり、あるいは、センス電極902としてクロム等を用いたり、センスビット線904にAlを用いたりすることができる。また、記憶コア905, 1003に金-シリコン合金やその他



の拡散係数の差の大きい金属の合金を用いたり、記憶コア 905、1003を覆う保護絶縁膜 910、1004にカーボンフロライド膜等を用いることができる。

【0066】図9、10に示した電子素子（記憶装置）は、単位セルであり、大量の情報を処理するには単位セルを縦横のアレイ状に配置する必要がある。アレイ状に配置された大量の単位セルの中から任意の一単位セルを選んで、書き込みや読み出しを行うために、図9に示した電子素子（記憶装置）の場合、センスビット線 904（図11のセンスビット線（S1）1121～センスビット線（S5）1125）と書き込みビット線 907（図11の書き込みビット線（B1）1101～書き込みビット線（B5）1105）とワード線 909（図10のワード線（W1）1111～ワード線（W5）1115）が、図11に示すように、縦横に配線されて、センスコラムデコーダ 1132と書き込みコラムデコーダ 1133とロウデコーダ 1134とに結線される必要がある。これらのデコーダ回路は既存のDRAM等の半導体メモリに広く用いられているものと同様のものでよい。

【0067】図10に示した電子素子（記憶装置）の場合、ビット線 1006（図12のビット線（b1）1201～ビット線（B5）1205）とワード線 1007（図12のワード線（W1）1211～ワード線（W5）1215）が、図12に示すように、縦横に配線されて、コラムデコーダ 1222とロウデコーダ 1223とに結線される必要がある。

【0068】また、記録の読み出しには、センスアンプ（図11の1135、図12の1224）と呼ばれる回路が必要であるが、これも既存のDRAM等の半導体メモリに広く用いられているものと基本的に同様のものでよい。たとえば、図20に示すように、数個のMOS型のトランジスタ（2002～2006）と比較用のダミー素子 2007とで構成されたものでよい。各デコーダやセンスアンプといった周辺回路は、記録装置アレイと同一基板上に作りこまれていてもよいし、別途に形成して後に合体させてもよい。その際、周辺回路に用いる半導体は、必ずしも単結晶Siである必要は無く、アモルファスSiや多結晶性Si、その他様々な半導体材料を適宜用いればよい。なお、図20中、符号2001は記憶セルの一単位、2008は選択されたワード線、2009は選択されたビット線を示し、また、2010はダミーワード線、2011はダミービット線を示す。

【0069】ここでは、実施の形態の第一例をアレー化する場合を説明したが、他の形態の場合もほぼ同様に構成することでアレー化できる。

【0070】次に、上記の実施例の電子素子を使用した動作について図9および図11を参照して説明する。

【0071】書き込みは、書き込みコラムデコーダ 1133とロウデコーダ 1134の各回路によって書き込みビ

ット線とワード線を1本ずつ選んで任意の番地の単位セルを選択して行う。書き込み速度は、記憶コアの寸法、材質などに依存するが、上記の実施例の記憶コア 905の寸法を、長さ2ミクロン、幅0.5ミクロン、厚さ0.2ミクロンとした場合、一単位セルの状態を逆転させるには、電流5mAを80ナノ秒流す必要がある。

【0072】読み出しは、センスコラムデコーダ 1132とロウデコーダ 1134の各回路によってセンスビット線とワード線を1本ずつ選んで任意の番地の単位セルを選択して行う。センス電極 902側に拡散種が高濃度化されている状態で電極 B 908から電極 A 906に電流5mAを6ナノ秒流すことで、センス電極 902から $10^{-15}$ クーロンの電荷移動が検出され、センス電極 902側に拡散種が低濃度化されている状態では、電荷の移動は検出されない。読み出し速度は、書き込み速度の10倍程度（およそ10ナノ秒で1ビット）が確保できる。さらなる高速化には、記憶コア 905の昇温・融解や微小化、併せてセンスアンプの高性能化が必要である。

【0073】ここでは、実施の形態の第一例をアレー化した場合の動作を説明したが、他の形態の場合もほぼ同様に各デコーダ回路とセンスアンプ回路と動作させればよい。

【0074】

【発明の効果】以上説明したように、本発明の電子素子では、次のような効果が得られる。

（1）磁気記録装置並みの大記憶容量と読み書き速度を有し、製造工程の簡素化と安価素材の採用によって記憶装置の製造コストを低減できる。

（2）機械的可動部分が不必要で半導体メモリ以上にコンパクトである不揮発性記憶装置を提供できる。

（3）さらに、本発明の記憶装置のアレイ部分の形成には、高温の熱工程を必要としないので、アレイ部分の積層化が容易で、かつ、絶縁性基板の材質選択の幅が広く、従って、記録密度の点では半導体メモリをはるかにしのぐことが可能である。

（4）また、本発明の電子素子は、比較的高い耐熱性を有する有機系樹脂の表面にも形成可能であり、高い適応性がある。

【図面の簡単な説明】

【図1】本発明の電子素子の第1の実施の形態を説明するための素子要部の断面図である。

【図2】本発明の電子素子の第2の実施の形態を説明するための素子要部の断面図である。

【図3】本発明の電子素子の第3の実施の形態を説明するための素子要部の断面図である。

【図4】本発明の電子素子の第4の実施の形態を説明するための素子要部の断面図である。

【図5】本発明の電子素子の第5の実施の形態を説明するための素子要部の断面図である。

【図 6】本発明の電子素子の第 6 の実施の形態を説明するための素子要部の断面図である。

【図 7】本発明の電子素子の第 7 の実施の形態を説明するための素子要部の断面図である。

【図 8】本発明の電子素子の第 8 の実施の形態を説明するための素子要部の断面図である。

【図 9】本発明の一実施例を示す電子素子（記憶装置）の単位セルの模式図であり、（a）は投影平面図、（b）は投影左側面図、（c）は投影右側面図である。

【図 10】本発明の他の実施例の電子素子（記憶装置）の単位セルの模式図であり、（a）は投影平面図、（b）は投影左側面図、（c）は投影右側面図である。

【図 11】図 9 の電子素子をアレイ状配置に配置した平面図である。

【図 12】図 10 の電子素子をアレイ状配置に配置した平面図である。

【図 13】周期表にまとめた各元素の表面電位を示す図である。

【図 14】表面電位を測定する方法を説明する模式図である。

【図 15】本発明の動作原理を説明するための模式図である。

【図 16】本発明の動作原理を説明するための模式図である。

【図 17】本発明の動作原理を説明するための模式図である。

【図 18】本発明の動作原理を説明するための模式図である。

【図 19】本発明の動作原理を説明するための模式図である。

【図 20】センスアンプ回路の一例である。

【符号の説明】

101 記憶コア  
102 電極 A  
103 電極 B  
104 センス電極  
105 均一分布拡散種  
106 電極 A から電極 B に流れる電流  
107 電極 A 側に濃縮された拡散種  
108 電極 B から電極 A に流れる電流  
109 電極 B 側に濃縮された拡散種  
201 形成直後の 2 成分が層状に形成された記憶コア  
202 電極 A  
203 電極 B  
204 センス電極  
205 均一混合により体積を減じた記憶コア  
206 電極 A から電極 B に流れる電流  
207 電極 A 側に発生したボイド  
208 電極 B から電極 A に流れる電流

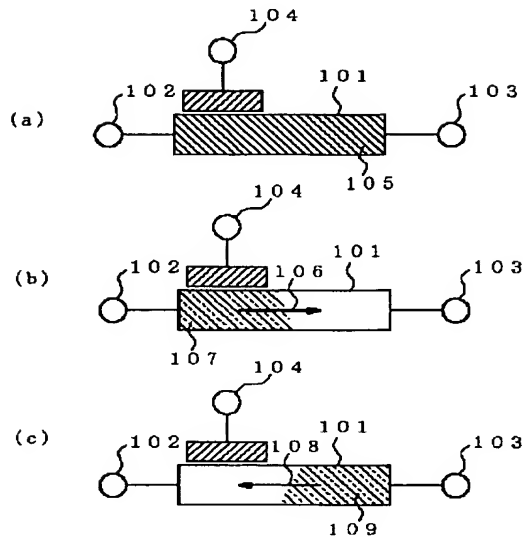
209 電極 B 側に発生したボイド  
301 記憶コア  
302 電極 A  
303 電極 B  
304 センス電極  
305 均一分布拡散種  
306 電極 A から電極 B に流れる電流  
307 電極 A 側に濃縮された拡散種  
308 電極 B から電極 A に流れる電流  
309 電極 B 側に濃縮された拡散種  
401 記憶コア  
402 センス電極を兼ねた電極 A  
403 電極 B  
404 均一分布拡散種  
405 電極 A から電極 B に流れる電流  
406 電極 A 側に濃縮された拡散種  
407 電極 B から電極 A に流れる電流  
408 電極 B 側に濃縮された拡散種  
501 形成直後の 2 成分が層状に形成された記憶コア  
ア  
502 電極 A  
503 電極 B  
504 センス電極  
505 均一混合により体積を減じた記憶コア  
506 電極 A から電極 B に流れる電流  
507 電極 A 側に発生したボイド  
508 電極 B から電極 A に流れる電流  
509 電極 B 側に発生したボイド  
601 記憶コア  
602 電極 A  
603 電極 B  
604 センス電極  
605 均一分布拡散種  
606 電極 A から電極 B に流れる電流  
607 電極 A 側に濃縮された拡散種  
608 電極 B から電極 A に流れる電流  
609 電極 B 側に濃縮された拡散種  
701 カーボンナノチューブ製記憶コア  
702 電極 A  
703 電極 B  
704 センス電極  
705 挿入原子  
706 電極 A から電極 B に流れる電流  
707 電極 A 側に集合した挿入原子  
708 電極 B から電極 A に流れる電流  
709 電極 B 側に集合した挿入原子  
801 記憶コア  
802 電極 A  
803 電極 B  
804 断面積の小さい部分

901 絶縁性基板  
 902 センス電極  
 903 接続線  
 904 センスビット線  
 905 記憶コア  
 906 電極A  
 907 書き込みビット線  
 908 電極B  
 909 ワード線  
 910 保護絶縁膜  
 1001 絶縁性基板  
 1002 電極A  
 1003 記憶コア  
 1004 保護絶縁膜  
 1005 電極B  
 1006 ビット線  
 1007 ワード線  
 1101 書き込みビット線 (B1)  
 1102 書き込みビット線 (B2)  
 1103 書き込みビット線 (B3)  
 1104 書き込みビット線 (B4)  
 1105 書き込みビット線 (B5)  
 1111 ワード線 (W1)  
 1112 ワード線 (W2)  
 1113 ワード線 (W3)  
 1114 ワード線 (W4)  
 1115 ワード線 (W5)  
 1121 センスビット線 (S1)  
 1122 センスビット線 (S2)  
 1123 センスビット線 (S3)  
 1124 センスビット線 (S4)  
 1125 センスビット線 (S5)  
 1131 記憶セルの一単位  
 1132 セン斯科ラムデコーダ  
 1133 書き込みコラムデコーダ  
 1134 ロウデコーダ  
 1135 センスアンプ  
 1201 ビット線 (B1)  
 1202 ビット線 (B2)  
 1203 ビット線 (B3)  
 1204 ビット線 (B4)  
 1205 ビット線 (B5)  
 1211 ワード線 (W1)  
 1212 ワード線 (W2)  
 1213 ワード線 (W3)  
 1214 ワード線 (W4)  
 1215 ワード線 (W5)  
 1221 記憶セルの一単位  
 1222 コラムデコーダ  
 1223 ロウデコーダ

1224 センスアンプ  
 1301 表面電位  $\phi$  (eV)  
 1401 導体1のフェルミレベル  
 1402 導体1の表面電位  
 1403 導体2のフェルミレベル  
 1404 導体2の表面電位  
 1405 真空を基準にした電位座標軸  
 1406 近接の結果増加した電荷  
 1407 近接の結果減少した電荷  
 10 1501 記憶コア  
 1502 電極A  
 1503 電極B  
 1504 センス電極  
 1505 濃縮された拡散種  
 1506 電流計  
 1507 電荷  
 1508 電極Bから電極Aに流れる電流  
 1509 濃縮された拡散種の移動  
 1601 記憶コア  
 20 1602 電極A  
 1603 電極B  
 1604 センス電極  
 1605 電極B側に発生したボイド  
 1606 電極A側に発生したボイド  
 1701 記憶コア  
 1702 電極A  
 1703 電極B  
 1704 センス電極  
 1705 電極A側に濃縮された拡散種  
 30 1706 電極B側に濃縮された拡散種  
 1801 記憶コア  
 1802 電極A  
 1803 電極B  
 1804 センス電極  
 1805 電極A側に濃縮された拡散種  
 1806 電極B側に濃縮された拡散種  
 1901 記憶コア  
 1902 電極A  
 1903 電極B  
 40 1904 センス電極  
 1905 電極A側に発生したボイド  
 1906 電極B側に発生したボイド  
 2001 記憶セルの一単位  
 2002 トランジスタ  
 2003 トランジスタ  
 2004 トランジスタ  
 2005 トランジスタ  
 2006 トランジスタ  
 2007 ダミー素子  
 50 2008 選択されたワード線

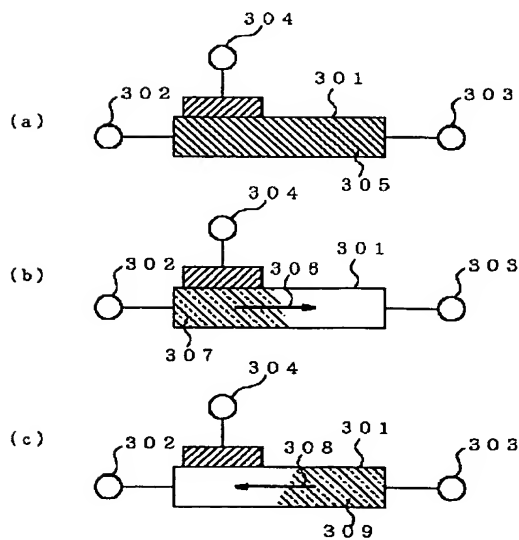
2009 選択されたビット線  
2010 ダミーワード線

【図1】



101: 記憶コア  
102: 電極A  
103: 電極B  
104: センス電極  
105: 均一分布抵抗種  
106: 電極Aから電極Bに流れる電流  
107: 電極A側に濃縮された拡散種  
108: 電極Bから電極Aに流れる電流  
109: 電極B側に濃縮された拡散種

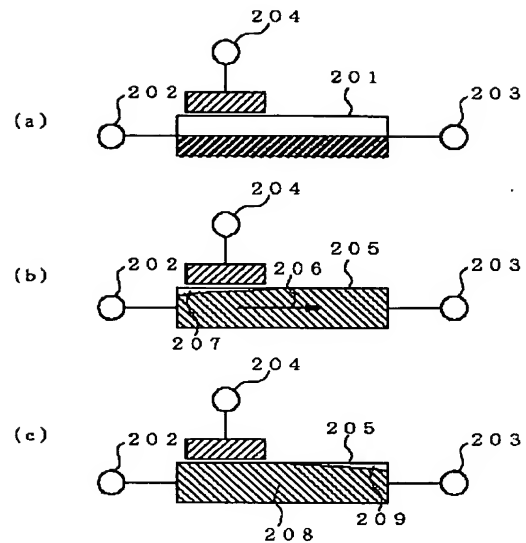
【図3】



301: 記憶コア  
302: 電極A  
303: 電極B  
304: センス電極  
305: 均一分布抵抗種  
306: 電極Aから電極Bに流れる電流  
307: 電極A側に濃縮された拡散種  
308: 電極Bから電極Aに流れる電流  
309: 電極B側に濃縮された拡散種

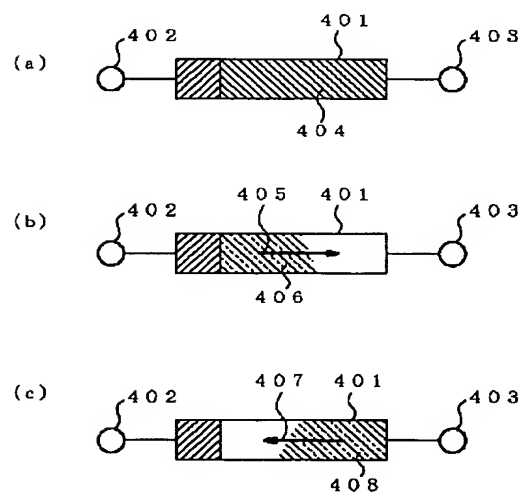
2011 ダミービット線

【図2】



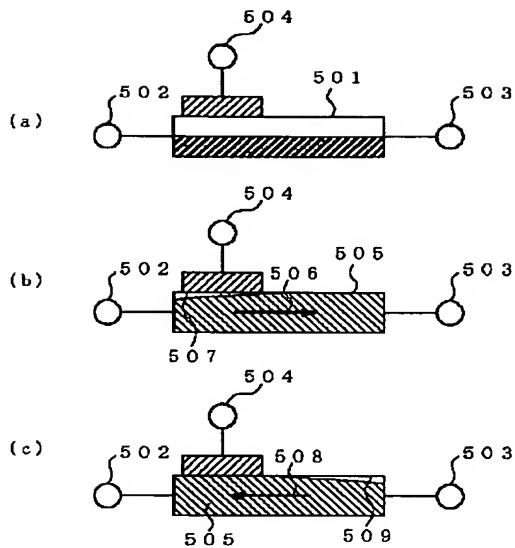
201: 形成直後の2成分が層状に形成された記憶コア  
202: 電極A  
203: 電極B  
204: センス電極  
205: 均一混合により体積を減じた記憶コア  
206: 電極Aから電極Bに流れる電流  
207: 電極A側に発生したボイド  
208: 電極Bから電極Aに流れる電流  
209: 電極B側に発生したボイド

【図4】



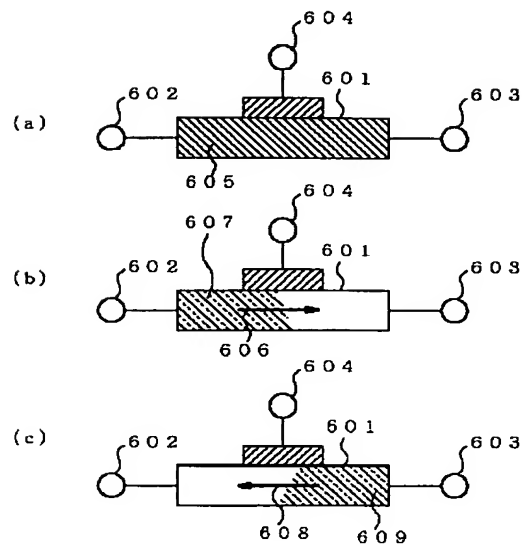
401: 記憶コア  
402: センス電極を兼ねた電極A  
403: 電極B  
404: 均一分布抵抗種  
405: 電極Aから電極Bに流れる電流  
406: 電極A側に濃縮された拡散種  
407: 電極Bから電極Aに流れる電流  
408: 電極B側に濃縮された拡散種

【図 5】



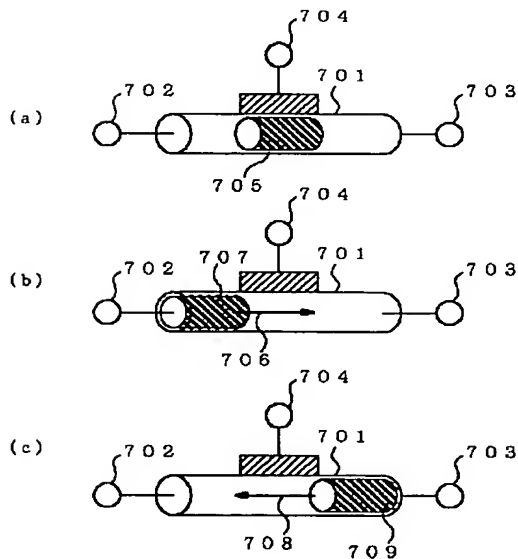
501: 形成直後の2成分が層状に形成された記憶コア  
 502: 電極A  
 503: 電極B  
 504: センス電極  
 505: 均一混合により体積を減じた記憶コア  
 506: 電極Aから電極Bに流れる電流  
 507: 電極A側に発生したボイド  
 508: 電極Bから電極Aに流れる電流  
 509: 電極B側に発生したボイド

【図 6】



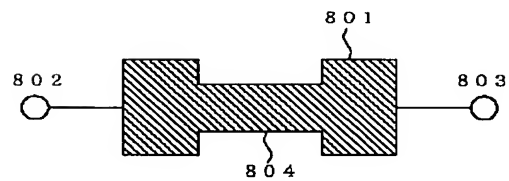
601: 記憶コア  
 602: 電極A  
 603: 電極B  
 604: センス電極  
 605: 均一分布拡散種  
 606: 電極Aから電極Bに流れる電流  
 607: 電極A側に濃縮された拡散種  
 608: 電極Bから電極Aに流れる電流  
 609: 電極B側に濃縮された拡散種

【図 7】



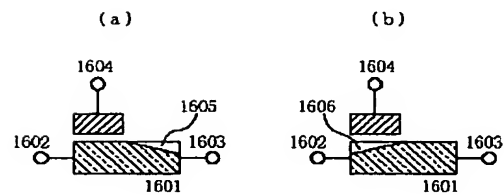
701: カーボンナノチューブ製記憶コア  
 702: 電極A  
 703: 電極B  
 704: センス電極  
 706: 挿入原子  
 708: 電極Aから電極Bに流れる電流  
 707: 電極A側に集合した挿入原子  
 708: 電極Bから電極Aに流れる電流  
 709: 電極B側に集合した挿入原子

【図 8】



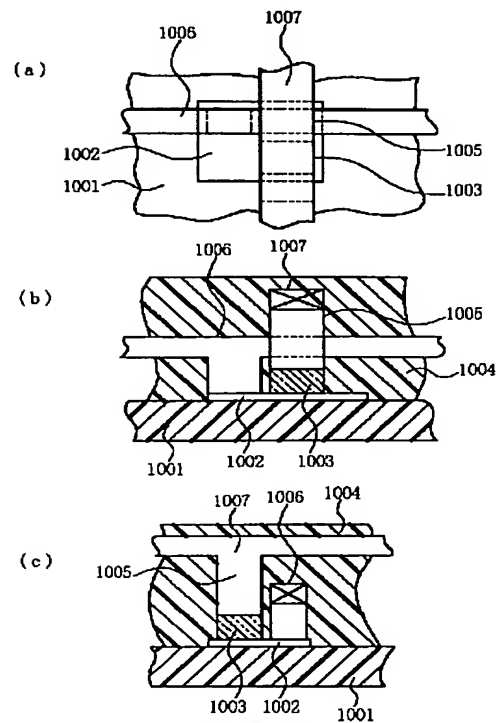
801: 記憶コア  
 802: 電極A  
 803: 電極B  
 804: 断面積の小さい部分

【図 16】



1601: 記憶コア  
 1602: 電極A  
 1603: 電極B  
 1604: センス電極  
 1605: 電極B側に発生したボイド  
 1606: 電極A側に発生したボイド

【图 10】



906:電極A  
907:書き込みと外線  
908:電極B  
909:リード線  
910:保護絶縁膜

1001:絶縁性基板  
1002:電極A  
1003:記憶マ  
1004:保護絶縁膜  
1005:電極B  
1006:ビット線  
1007:ワード線

【图 13】

1A
1 H
2A
3 Li 2.9
4 Be 5.0
11 Na 2.4
12 Mg 3.7
19 K 2.3
20 Ca 2.9
37 Rb 2.2
55 Cs 2.1
87 Fr

1301

原子番号  
元素名  
φ (eV)

3A	4A	5A	6A	7A	2He
5 B	6 C	7 N	8 O	9 F	10 Ne
13 Al 4.3	14 Si	15 P	16 S	17 Cl	18 Ar
31 Ga 4.2	32 Ge	33 As	34 Se	35 Br	36 Kr
49 In 4.1	50 Sn 4.4	51 Sb 4.7	52 Te	53 I	54 Xe
81 Tl 3.8	82 Pb 4.2	83 Bi 4.2	84 Po	85 At	86 Rn

3B   4B   5B   6B   7B   ← 8 →   1B   2B

21 Sc 3.5	22 Ti 4.3	23 V 4.3	24 Cr 4.5	25 Mn 4.1	26 Fe 4.5	27 Co 5.0	28 Ni 5.2	29 Cu 4.7	30 Zn 4.2
39 Y 3.1	40 Zr 4.1	41 Nb 4.3	42 Mo 4.6	43 Tc	44 Ru 4.7	45 Rh 5.0	46 Pd 5.1	47 Ag 4.3	48 Cd 4.2
*	72 Hf 3.9	73 Ta 4.3	74 W 4.6	75 Re 5.0	76 Os 4.8	77 Ir 5.3	78 Pt 5.7	79 Au 5.1	80 Hg 4.5
**									

1301

57 La 3.5	58 Ce 2.9	59 Pr	60 Nd 3.2	61 Pm	62 Sm 2.7	63 Eu 2.5	64 Gd 3.1	65 Tb 3.0	66 Dy	67 Ho	68 Er	69 Tm	70 Yb	71 Lu 3.3
89 Ac	90 Th 3.4	91 Pa	92 U 3.6	93 Np	94 Pu	95 Am	96 Cm	97 Bk	98 Cf	99 Es	100 Fm	101 Md	102 No	103 Lr

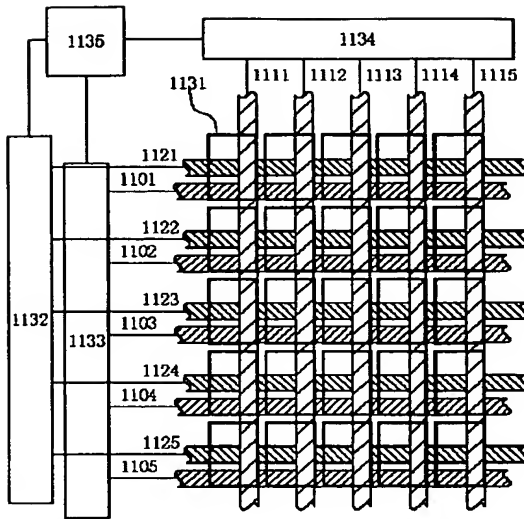
\* Lanthanides

\* Actinides

\* Lanthanides

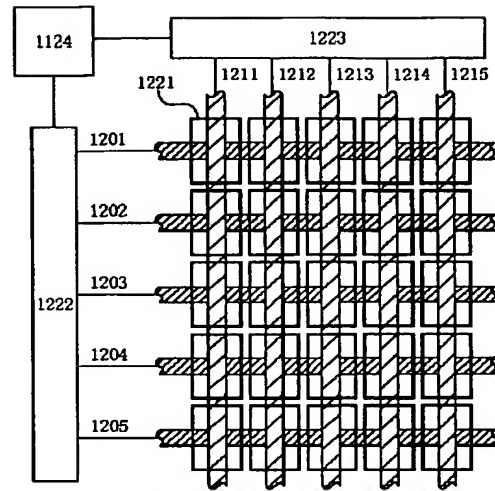
\* Actinides

【図 11】



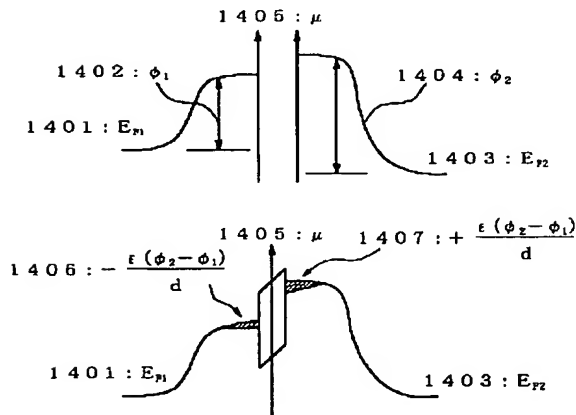
- 1101: 書き込みビット線 (B1)  
 1102: 書き込みビット線 (B2)  
 1103: 書き込みビット線 (B3)  
 1104: 書き込みビット線 (B4)  
 1105: 書き込みビット線 (B5)  
 1111: ワート線 (W1)  
 1112: ワート線 (W2)  
 1113: ワート線 (W3)  
 1114: ワート線 (W4)  
 1115: ワート線 (W5)  
 1121: セスビット線 (S1)  
 1122: セスビット線 (S2)  
 1123: セスビット線 (S3)  
 1124: セスビット線 (S4)  
 1125: セスビット線 (S5)  
 1131: 記憶セルの単位  
 1132: コラムデコーダ  
 1133: 書き込みコラムデコーダ  
 1134: ロジック  
 1135: セスアンプ

【図 12】



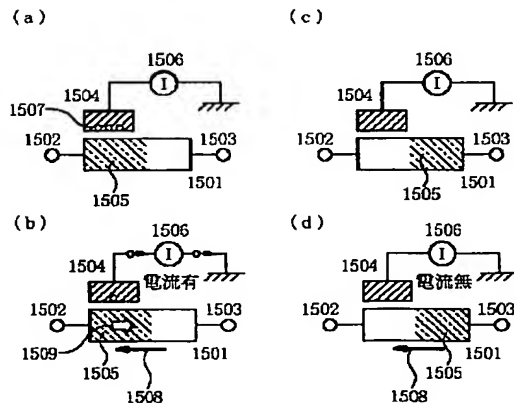
- 1201: ビット線 (B1)  
 1202: ビット線 (B2)  
 1203: ビット線 (B3)  
 1204: ビット線 (B4)  
 1205: ビット線 (B5)  
 1211: ワート線 (W1)  
 1212: ワート線 (W2)  
 1213: ワート線 (W3)  
 1214: ワート線 (W4)  
 1215: ワート線 (W5)  
 1221: 記憶セルの単位  
 1222: コラムデコーダ  
 1223: ロジック  
 1224: セスアンプ

【図 14】



- 1401: 導体1のフェルミレベル  
 1402: 導体1の表面電位  
 1403: 導体2のフェルミレベル  
 1404: 導体2の表面電位  
 1405: 真空を基準にした電位座標軸  
 1406: 近接の結果増加した電荷  
 1407: 近接の結果減少した電荷

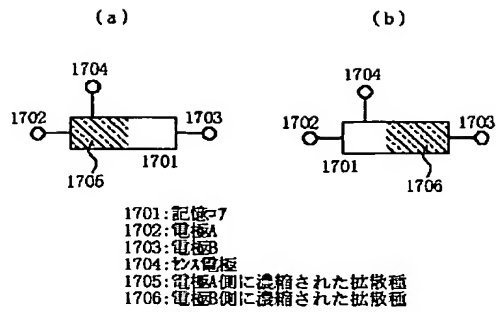
【図 15】



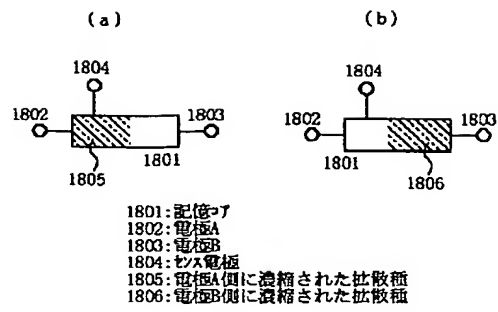
- 1501: 記憶セル  
 1502: 電極A  
 1503: 電極B  
 1504: セス電極  
 1505: 濃縮された拡散種  
 1506: 電流計  
 1507: 電荷  
 1508: 電極Bから電極Aに流れる電流  
 1509: 濃縮された拡散種の移動



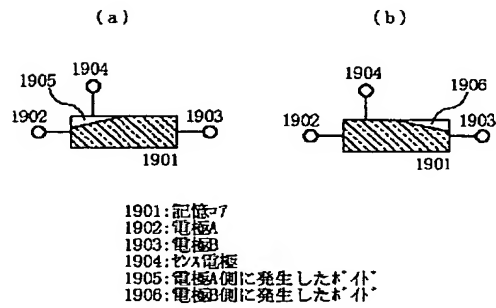
【図17】



【図18】



【図19】



【図20】

